

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Kazunari INOUE)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: November 19, 2003)	Confirmation No.: Unassigned
)	
For: SEMICONDUCTOR MEMORY)	

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-085924
Filed: March 26, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 19, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : March 26, 2003

Application Number : Japanese Patent Application No. 2003-085924

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 18th day of April, 2003

Commissioner,

Japan Patent Office Shinichiro OTA

Certificate No. 2003-3028589

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月26日

出 願 番 号
Application Number:

特願2003-085924

[ST.10/C]:

[JP2003-085924]

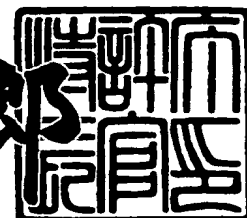
出 願 人
Applicant(s):

三菱電機株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3028589

【書類名】 特許願

【整理番号】 543178JP01

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 15/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 井上 一成

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 1 ビットのデジタル値を記憶する L ($L = 2$ の M 乗となる整数) 個のメモリセルからなり、各メモリセルが記憶するデジタル値の組み合わせを M (M は 2 以上の正の整数) ビットのデジタル値で表現した記憶データが設定されるメモリセルブロックと、

上記メモリセルが記憶するデジタル値と一致比較される 1 ビットのデジタル値が設定されるサーチ線と、

L 本のサーチ線に対して 1 ビットのデジタル値をそれぞれ設定して、 L ビットのデジタル値の組み合わせを M ビットのデジタル値で表現した検索データを設定する検索データ設定部と、

上記メモリセルブロックを構成するメモリセルが記憶するデジタル値とこれらメモリセルに接続するサーチ線に設定されたデジタル値とを一致比較して、上記記憶データと上記検索データの一致不一致を判定する一致比較部と、

上記一致比較部の判定結果を出力する出力部と
を備えた半導体記憶装置。

【請求項 2】 メモリセルブロックは、各メモリセルが記憶するデジタル値の組み合わせを「0」、「1」、「X (ドントケア)」の 3 値からなる 3 の M 乗通りの M ビットのデジタル値で表現した記憶データが設定され、

検索データ設定部は、メモリセルブロックを構成する各メモリセルに接続する L 本のサーチ線のうちのいずれか 1 つのみをチャージして、 L ビットのデジタル値の組み合わせを M ビットのデジタル値で表現した検索データを設定することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 メモリセルブロックは、1 対のメモリセルの各々が記憶するデジタル値の組み合わせを「0」、「1」、「X (ドントケア)」の 3 値で表現したデータが設定される 2 つの CAM セルからなり、これら CAM セルに設定される 3 の 2 乗通りの上記データの組み合わせを 2 ビットのデジタル値で表現した記憶データが設定され、

検索データ設定部は、メモリセルブロックを構成する各メモリセルに接続する4本のサーチ線のうちのいずれか1つのみをチャージして4ビットのデジタル値の組み合わせを4通りの2ビットのデジタル値で表現した検索データを設定することを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 メモリセルを、互いに交差して配置されたワード線とビット線により形成される格子上に配置したMOSトランジスタと、1ビットのデジタル値を保持するデータ保持用キャパシタとからなるダイナミック型メモリセルとして構成したことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 出力部は、一致比較部による比較処理ごとにプリチャージされて、当該比較処理後のチャージ状態を記憶データと検索データとの一致不一致の判定結果として出力するマッチ線からなり、

上記一致比較部は、ゲート電極がデータ保持用キャパシタのノードと接続し、当該データ保持用キャパシタのチャージ状態に応じて上記マッチ線との間の経路を開閉する第1のMOSトランジスタと、ゲート電極がサーチ線と接続し、当該サーチ線のチャージ状態に応じて接地レベルとの間の経路を開閉する第2のMOSトランジスタとからなり、上記第1のMOSトランジスタ及び上記第2のMOSトランジスタがそれぞれの経路を開としたとき、上記マッチ線が接地され、

上記第1のMOSトランジスタを、上記マッチ線にチャージされた電荷がゲート電極を介してデータ保持用キャパシタにリークするゲート絶縁膜厚で構成し、

上記第1のMOSトランジスタのゲートリークによって上記マッチ線にチャージされた電荷で上記データ保持用キャパシタが保持する電荷を補充するように、検索データ設定部がサーチ線をチャージする時間より長い時間で上記マッチ線をチャージするチャージ処理部を備えたことを特徴とする請求項4記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はCAM (Content Addressable Memory) セルを含む半導体記憶装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、ネットワークアドレス経路の検索装置などにT-CAM (Ternary- Content Addressable Memory) セルにより構成される半導体記憶装置が用いられるようになってきている。T-CAMセルの構成としては、例えば特許文献1の図12に示されるように、「0」、「1」及び「X (Don't care; 不定値)」の3値のデータを表現するためのRAM構成の2つの記憶セルを有し、「0」及び「1」の2値のデータを検索するためのサーチ線が記憶セルごとに接続されている。また、このサーチ線の検索データと記憶セルの記憶データとの一致比較結果を示すマッチ線がCAMセルごとに接続されている。

【 0 0 0 3 】

次に検索動作の概要を説明する。

まず、マッチ線をハイレベルにチャージし、検索データとなる「0」、「1」のいずれかの値をサーチ線に設定する。このあと、サーチ線の検索データと記憶セルの記憶データ（「0」、「1」及び「X」のいずれかの値）との比較処理を実行する。このとき、両者が一致すると、マッチ線はハイレベルを維持し、検索結果として「一致」と判定される。つまり、当該記憶データを持つアドレスに検索データが存在すると判断される。一方、両者が一致しない場合、マッチ線は放電されてロウレベルになり、検索結果が「不一致」と判定される。この一連の検索動作は、外部クロックに同期したサーチサイクルによって繰り返し実行される。

【 0 0 0 4 】

【特許文献1】

特開2002-237190号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

従来のCAMセルから構成される半導体記憶装置では、サーチサイクルごとに全てのサーチ線が活性化されるため、検索動作における消費電力が極めて大きいという課題があった。

【0006】

上記課題を具体例を挙げて説明する。

図9は従来のT-CAMセルから構成される半導体記憶装置の検索動作のタイミングチャートである。図中の「CLK」は外部から入力したクロックを示しており、この外部クロックに同期したサーチサイクルで検索動作が実行される。図中の「検索サーチデータ」は、どの検索データについての検索を行っているかを示している。また、「アンプ」、「出力線」、「プリチャージ」とは、それぞれ検出結果となるマッチ線からの出力を増幅させるアンプの動作、当該アンプの出力値、検索動作前にハイレベルにプリチャージされるマッチ線のチャージ状態を示している。

【0007】

図に示すように、検索動作において、サーチ線は、外部から与えられる検索データに従って全て「0」又は「1」のいずれかの値にサーチサイクルごとに反転を繰り返すこととなる。このように、全てのサーチ線のデータ値がサーチサイクルごとに反転すると、検索命令の実行時の消費電力は極めて大きくなる。例えば、9MビットクラスのT-CAMでは、100MHzのサーチサイクルでおよそ10W程度の電力が消費されてしまう。

【0008】

この発明は上記のような課題を解決するためになされたもので、検索動作においてサーチ線の活性化頻度を減少させることで消費電力を低減することができる半導体記憶装置を得ることを目的とする。

【0009】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、1ビットのデジタル値を記憶するL（ $L=2$ のM乗となる整数）個のメモリセルからなり、これらメモリセルの各々が記憶するデジタル値の組み合わせをM（Mは2以上の正の整数）ビットのデジタル値で表現した記憶データが設定されるメモリセルブロックと、メモリセルが記憶するデジタル値と一致比較される1ビットのデジタル値が設定されるサーチ線と、L本のサーチ線に対して1ビットのデジタル値をそれぞれ設定して

、Lビットのデジタル値の組み合わせをMビットのデジタル値で表現した検索データを設定する検索データ設定部と、メモリセルブロックを構成するメモリセルが記憶するデジタル値とこれらメモリセルに接続するサーチ線に設定されたデジタル値とを一致比較して、記憶データと検索データの一致不一致を判定する一致比較部と、一致比較部の判定結果を出力する出力部とを備えるものである。

【0010】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1による半導体記憶装置の構成を示す図である。本実施の形態1による半導体記憶装置は、1ビットのデジタル値を記憶する4つのメモリセル1a～1dを構成単位とするメモリセルアレイを有する。このメモリセルアレイは、互いに交差して配置されたワード線2とビット線により形成される格子点上にメモリセルを配置して構成される。ワード線2は、各メモリセルと接続してデータの読み書きを実行するメモリセルを選択する際にチャージされる。ビット線4a～4dは、各メモリセルに読み書きするデジタルデータを伝搬する。

【0011】

この他の構成として、メモリセル4a～4dが記憶するデジタル値とサーチ線5a～5dに設定されたデジタル値との一致不一致によって自己のチャージ状態が変化するマッチ線（出力部）3、各メモリセル1a～1dに接続して検索データとなるデジタル値がそれぞれ設定されるサーチ線5a～5dなどのCAMとして機能するために必要な構成要素も具備している。さらに、本実施の形態1による半導体記憶装置は、不図示の電源からの電荷をマッチ線3にチャージするためのトランジスタ（チャージ処理部）6、サーチ線に検索データを設定する検索データ設定部7、マッチ線3からの出力を増幅するアンプ8及びその出力端9なども有している。

【0012】

なお、図中の $\langle 1:0 \rangle$, $\langle 3:2 \rangle$, \dots , $\langle n+1:n \rangle$ は、検索データを構成するビット列の第0ビット目、第1ビット目、第2ビット目、第3ビット目、 \dots 、第nビット目、第(n+1)ビット目を表しており、それぞれの値に1対のメモリセルからなるCAMセルの設定値が対応している。ここで、メモリセルアレイの行方向（ワード線に沿った方向）は比較対象となるデータ列（記憶データのビット列）を意味し、縦方向（ビット線に沿った方向）は異なる各々のデータ列が格納されるアドレスを意味する。

【0013】

例えば、アドレス第0番地、つまりメモリセルアレイの最初のメモリセル行には、記憶データ「00110101xx」の各ビットのデジタル値がメモリセルごとに記憶保持され、アドレス第1番地、つまりメモリセルアレイの第2番目のメモリセル行には、記憶データ「0101001xxxx」の各ビットのデジタル値がメモリセルごとに記憶保持される。

【0014】

上述したメモリセルアレイにおいて、メモリセル1a, 1b及びメモリセル1c, 1dは、それぞれ「0」、「1」、「X（ドントケア）」の3値を表現するCAMセルとして機能し、4つのメモリセル4a～4dを合わせて1つのCAMセルブロック（メモリセルブロック）が構成される。このようなCAMセルブロックがワード線及びビット線より形成される格子点上に配置されてメモリセルアレイが形成されている。さらに、サーチ線はメモリセルアレイのメモリセル列ごとに設けられており、マッチ線3はメモリセルアレイのメモリセル行ごとに設けられている。

【0015】

図2は図1中のCAMセルブロックの構成を示す図であり、検索データの $\langle n+1:n \rangle$ に対応するCAMセルブロックを表している。図に示すように、メモリセル1a～1dの記憶部は、互いの出力端と入力端が接続された1対のインバータから構成される。これらメモリセル1a～1dは、ワード線2及びビット線4a～4dにより構成される格子点に応じて配置されている。メモリセル1a～1dの記憶部とワード線2及びビット線4a～4dとの間には、トランジスタ1

2 a ~ 1 2 d が配置されている。これらトランジスタ 1 2 a ~ 1 2 d のゲート電極にはメモリセル 1 a ~ 1 d に共通してワード線 2 が接続しており、ソース電極にはビット線 4 a ~ 4 d がそれぞれ接続している。

【0 0 1 6】

メモリセル 1 a ~ 1 d にデータを読み書きするにあたり、ワード線 2 が活性化されてトランジスタ 1 2 a ~ 1 2 d を介してビット線 4 a ~ 4 d と記憶部が導通し、これら記憶部に対してビット線 4 a ~ 4 d を介してデータが読み書きされる。一方、CAMセルとして機能させるための構成要素として、サーチ線 5 a ~ 5 d がメモリセル 1 a ~ 1 d ごとに設けられており、ワード線 2 に沿って並んだメモリセル 1 a ~ 1 d に共通してマッチ線 3 が設けられている。マッチ線 3 は、各メモリセル 1 a ~ 1 d に設けられたトランジスタ 1 0 a ~ 1 0 d のドレイン電極と接続している。

【0 0 1 7】

また、トランジスタ 1 0 a ~ 1 0 d は、そのゲート電極とメモリセル 1 a ~ 1 d の記憶部とが接続しており、ソース電極同士でトランジスタ 1 1 a ~ 1 1 d に接続している。トランジスタ 1 1 a ~ 1 1 d は、ドレイン電極が接地されており、ゲート電極とサーチ線 5 a ~ 5 d がそれぞれ接続されている。これらトランジスタ 1 0 a ~ 1 0 d とトランジスタ 1 1 a ~ 1 1 d が、メモリセル 1 a ~ 1 d の記憶部に保持されたデータとサーチ線 5 a ~ 5 d にそれぞれ設定されたデータとの一致比較を行う一致比較部として機能する。なお、図 1 と同一構成要素には、同一符号を付して重複する説明を省略する。

【0 0 1 8】

次に動作について説明する。

本実施の形態の半導体記憶装置による内容検索処理では、例えば図 3 に示す CAM セルブロックの記憶データと検索データとの組み合わせに応じて検索結果を出力する。図 3 は図 2 に示した $\langle n + 1 : n \rangle$ に対応する CAM セルブロックにおいて記憶される記憶データとサーチ線 5 a ~ 5 d に設定される検索データとの関係を示している。ここでは、図 3 で示される範囲で内容検索処理を説明することとする。また、図中の CAM セルブロックの記憶データと検索データによるマ

トリックス内のブランクは、検索結果が「一致」であることを示し、放電と記載された組み合わせでは「不一致」であることを示している。

【0019】

先ず、内容検索処理を実行する前処理として、図3中のCAMセルブロックの記憶データ欄（縦欄）に記載される2ビットの記憶データである「xx」、「x0」、「x1」、「0x」、「00」、「01」、「1x」、「10」、及び「11」のいずれかを表現する4ビットのデータをメモリセル1a～1dにそれぞれ設定する。この設定動作は、通常のメモリセル1a～1dへのデータ書き込みと同様である。つまり、ワード線2を活性化してトランジスタ12a～12dを介してメモリセル1a～1dの記憶部とビット線4a～4dとを導通させることで、ビット線4a～4dに設定された上記記憶データに相当する4ビットのデジタルデータがメモリセル1a～1dの記憶部に記憶される。

【0020】

次に、チャージ処理部が、検索サイクルに同期して、電源からの電荷をマッチ線3にプリチャージする。図2の例では、トランジスタ6がチャージ処理部として機能する。トランジスタ6のゲート電極は、検索サイクルに同期して活性化される。これにより、トランジスタ6は、電源とマッチ線3との経路を開閉してマッチ線3へのプリチャージを実行する。

【0021】

マッチ線3がプリチャージされると、検索データ設定部7は、図3中の検索データ欄（横欄）に記載される2ビットの検索データである「00」、「01」、「10」、及び「11」のいずれかを表現する4ビットのデータをサーチ線5a～5dにそれぞれ設定する。このとき、サーチ線5a～5dは、検索データが「00」、「01」、「10」、及び「11」のいずれかである場合にのみ活性化される。つまり、内容検索処理の1つの実行サイクルにおいて、サーチ線5a～5dのいずれか1つのみを活性化してデジタル値「1」を設定すればよい。

【0022】

例えば、2ビットの検索データ「00」は、サーチ線5aに設定されたデジタル値「1」、サーチ線5bに設定されたデジタル値「0」、サーチ線5cに

設定されたデジタル値「0」、サーチ線5dに設定されたデジタル値「0」からなる「1000」という4ビットのデジタル値を2ビットに符号化したものである。同様にして、2ビットの検索データ「01」はサーチ線5a～5dに設定された4ビットのデータ「0100」で、2ビットの検索データ「10」は4ビットのデータ「0010」で、2ビットの検索データ「11」は4ビットのデータ「0001」で表現される（符号化される）。

【0023】

検索データ設定部7がサーチ線5a～5dに検索データを設定すると、CAMセルブロックのメモリセル1a～1dごとに設けられた一致比較部が、メモリセル1a～1dにそれぞれ設定されたデジタル値とサーチ線5a～5dに設定されたデジタル値とを比較し、CAMセルブロックの記憶データと検索データの一致不一致を判定する。図2の例では、トランジスタ10a～10d、11a～11dが一致比較部として機能する。

【0024】

トランジスタ11a～11dは、検索データ設定部7によって検索データが設定されたサーチ線5a～5dのチャージ状態によって開閉する。ここで、サーチ線5a～5dにデジタル値「1」が設定されると、トランジスタ11a～11dは開状態となり、トランジスタ10a～10dのソース電極側が接地される。このとき、メモリセル1a～1dの記憶部にデジタル値「1」が記憶保持されていると、トランジスタ10a～10dが開状態となり、マッチ線3が接地されることとなる。

【0025】

一方、サーチ線5a～5dにデジタル値「0」が設定されるか、メモリセル1a～1dの記憶部にデジタル値「0」が記憶保持されていると、トランジスタ10a～10dやトランジスタ11a～11dは閉状態となり、マッチ線3が接地されることはない。

【0026】

例えば、メモリセル1a～1dに記憶データ「x0」が記憶保持されている場合、図3に示すように、メモリセル1a～1dには、それぞれデジタル値「0

」、「1」、「0」、「1」が記憶保持されている。ここで、検索データ設定部7によってサーチ線5a～5dに検索データ「01」（又は「11」）が設定されると、サーチ線5a～5dには、それぞれデジタル値「0」、「1」、「0」、「0」（又は「0」、「0」、「0」、「1」）が設定される。

【0027】

このとき、メモリセル1b（又はメモリセル1d）の記憶部がデジタル値「1」を記憶保持していることから、トランジスタ10b（又はトランジスタ10d）が開状態となる。さらに、サーチ線5b（又はサーチ線5d）にもデジタル値「1」が設定されることから、トランジスタ11b（又はトランジスタ11d）が開状態となる。このため、マッチ線3にプリチャージされた電荷は、トランジスタ10b、11b（又はトランジスタ10d、11d）を介して放電されることとなる。

【0028】

なお、メモリセル1a～1dに記憶データ「xx」が記憶保持されている場合、いずれの検索データに対しても「一致」しなければならないので、サーチ線5a～5dのいずれが活性化されたとしてもマッチ線3が放電されないようにメモリセル1a～1dの記憶データを設定する。即ち、図3に示すように、メモリセル1a～1dには、その記憶部が記憶するデジタル値によって開閉制御されるトランジスタ10a～10dが閉状態となるように、全てにデジタル値「0」を設定する。

【0029】

上述したような比較処理が行われると、マッチ線3の電位は、アンプ8にて増幅されて出力端9を介して外部に出力される。ここで、出力端9からの出力値がデジタル値「1」、即ちハイレベルであれば、CAMセルブロックの記憶データと検索データとが「一致」したことがわかる。一方、出力端9からの出力値がデジタル値「0」、即ちロウレベルであれば、CAMセルブロックの記憶データと検索データとが「不一致」であったことを示す。

【0030】

図4は実施の形態1の半導体記憶装置による内容検索動作のタイミングチャー

トである。図中の「CLK」は外部から入力したクロックを示しており、この外部クロックに同期したサーチサイクルで内容検索動作が実行される。図中の「検索サーチデータ」は、どの検索データについての検索を行っているかを示している。図に示すように、本実施の形態による半導体記憶装置では、1サーチサイクルにおいてサーチ線5a～5dのうちのいずれか1つのみが活性化される。つまり、図9に示す従来の半導体記憶装置と比較して1サーチサイクルにおいて活性化すべきサーチ線の本数を1/4に減少させることができる。

【0031】

従来の半導体記憶装置では、各CAMセルに1つの記憶データを割り当てて検索データとの一致比較を実行していたため、1サーチサイクルにおいて各CAMセルに接続するサーチ線（1対のメモリセルに接続するサーチ線のうちのいずれか1つ）を必ず活性化しなければならなかった。

【0032】

そこで、本発明では、2つのCAMセルを1つのCAMセルブロックとし、このCAMセルブロックを構成するメモリセルが記憶する4つのデジタル値の組み合わせを2ビットの記憶データで表現する（2ビットの記憶データに符号化する）。さらに、CAMセルブロックを構成する各メモリセルに接続するサーチ線に設定される4つのデジタル値の組み合わせを2ビットの検索データで表現する（2ビットの検索データに符号化する）。

【0033】

このようにすることで、CAMセルブロックを構成する各メモリセルに接続する全てのサーチ線を活性化することなく、検索データを設定することができる。このため、内容検索処理に費やされる電力を低減させることができる。また、デジタル値「1」を1つ含む「1000」、「0100」、「0010」、「0001」を2ビットの検索データとして表現することで、1サーチサイクルにおいて1つのCAMセルブロックについて活性化されるサーチ線の本数を1本とすることができる。この場合、例えば検索動作における消費電力のおよそ40%程度が「サーチ線の充放電」に起因するものであることを考慮すると、従来と比較して充放電されるサーチ線が1/2に減少することから、全体として20%程度の

消費電力の低減を期待することができる。

【0034】

以上のように、この実施の形態1によれば、1ビットのデジタル値を記憶する4個のメモリセル1a～1dからなり、これらメモリセル1a～1dの各々が記憶するデジタル値の組み合わせを2ビットのデジタル値で表現した記憶データが設定されるCAMセルブロックと、CAMセルアレイを構成するメモリセル1a～1dに接続し、当該メモリセル1a～1dが記憶するデジタル値と一致比較される1ビットのデジタル値が設定されるサーチ線5a～5dと、CAMセルブロックを構成するメモリセル1a～1dに接続する4本のサーチ線に対して1ビットのデジタル値をそれぞれ設定して、4ビットのデジタル値の組み合わせを2ビットのデジタル値で表現した検索データを設定する検索データ設定部7と、CAMセルブロックを構成するメモリセル1a～1dが記憶するデジタル値とこれらメモリセル1a～1dに接続するサーチ線5a～5dに設定されたデジタル値とを一致比較して記憶データと検索データとの一致不一致を判定するトランジスタ10a～10d、11a～11dからなる一致比較部と、この判定結果を出力するマッチ線3とを備えたので、検索動作においてサーチ線の活性化頻度を減少させることができることから、検索動作における消費電力を低減させることができる。

【0035】

また、この実施の形態1によれば、CAMセルブロックを「0」、「1」、「X（ドントケア）」の3値がそれぞれ設定される2つのCAMセルから構成し、これらCAMセルに設定される3の2乗通りのデータの組み合わせを2ビットのデジタル値で表現した記憶データを設定し、検索データ設定部7が、CAMセルブロックを構成するメモリセルに各々接続する4本のサーチ線のうちのいずれか1つのみをチャージして4ビットのデジタル値の組み合わせを4通りの2ビットのデジタル値で表現した検索データを設定するので、1サーチサイクルにおいて1つのCAMセルブロックについて活性化されるサーチ線の本数を1本とすることができることから、さらに検索動作における消費電力を低減させることができる。

【0036】

なお、CAMセルブロックとしては、図5に示すような構成としてもよい。図5の例は、メモリセルをダイナミック型セルとしたものである。メモリセル1e～1hの記憶部としてデータ保持用キャパシタを用いている。トランジスタ12e～12hのゲート電極にはメモリセル1e～1hに共通してワード線2が接続されており、ソース電極にはビット線4a～4dがそれぞれ接続している。トランジスタ10e～10hは、そのゲート電極とメモリセル1e～1hのデータ保持用キャパシタのノードとが接続しており、ソース電極同士でトランジスタ11e～11hに接続し、ドレイン電極が接地されている。

【0037】

トランジスタ11e～11hは、ゲート電極とサーチ線5a～5dがそれぞれ接続されており、ドレイン電極がマッチ線3に接続している。これらトランジスタ10e～10hとトランジスタ11e～11hが、メモリセル1e～1hのデータ保持用キャパシタに保持されたデータとサーチ線5a～5dにそれぞれ設定されたデータとの一致比較を行う一致比較部として機能する。なお、図1と同一構成要素には、同一符号を付して重複する説明を省略する。

【0038】

このように構成しても上記実施の形態1と同様に動作させることができ、同様の効果を得ることができる。さらに、上記実施の形態1で示した構成と比較して少ないトランジスタ数で構成することができる。これにより、当該半導体記憶装置を製作するにあたり、シリコン基板上の占有面積を低減させることができる。

【0039】

また、上記実施の形態1では、ビット線とサーチ線、ワード線とマッチ線を別個に設ける例を示したが、ビット線がサーチ線として機能するように構成したり、ワード線がマッチ線として機能するように構成してもよい。

【0040】

さらに、上記実施の形態1では、1対のメモリセルからなる2つのCAMセルでCAMセルブロックを構成した例を示したが、これに限定されるものではない。例えば、CAMセルブロックを4個より多いL（L=2のM乗となる整数）個

のメモリセルから構成し、これらメモリセルの各々が記憶するデジタル値の組み合わせをM（Mは2以上の正の整数）ビットのデジタル値で表現した記憶データを設定するようにしても同様の効果を得ることができる。

【0041】

また、上述した構成のCAMセルブロックに対して、メモリセルの各々が記憶するデジタル値の組み合わせを「0」、「1」、「X（ドントケア）」の3値で表現した3のM乗通りのMビットの記憶データを設定し、検索データ設定部7が、CAMセルブロックを構成するメモリセルに各々接続するL本のサーチ線のうちのいずれか1つのみをチャージしてLビットのデジタル値の組み合わせをMビットのデジタル値で表現した検索データを設定するように構成しても、上記実施の形態1と同様の効果を得ることができる。

【0042】

実施の形態2.

図6はこの発明の実施の形態2による半導体記憶装置のCAMセルブロックの構成を示す図である。本実施の形態2では、図5に示したメモリセルブロックと同様に、メモリセルをダイナミック型セルとしている。メモリセル1e～1hの記憶部としてデータ保持用キャパシタを用いている。トランジスタ12e～12hのゲート電極にはメモリセル1e～1hに共通してワード線2が接続されており、ソース電極にはビット線4a～4dがそれぞれ接続している。

【0043】

トランジスタ10e-1～10h-1（第1のMOSトランジスタ）は、そのゲート電極とデータ保持用キャパシタのノードとが接続しており、ソース電極同士でトランジスタ11e-1～11h-1に接続し、ドレイン電極が接地されている。これらトランジスタ10e-1～10h-1は、後述するような挙動をとるように、トランジスタ12e～12hより薄いゲート絶縁膜（酸化膜）で形成している。ここでは、例えばトランジスタ12e～12hのゲート絶縁膜厚を5.7nm、トランジスタ10e-1～10h-1のゲート絶縁膜厚を2.5nmとしている。

【0044】

また、トランジスタ11e-1~11h-1（第2のMOSトランジスタ）は、そのゲート電極とサーチ線5a~5dとがそれぞれ接続されており、ドレイン電極がマッチ線3に接続している。これらトランジスタ10e-1~10h-1とトランジスタ11e-1~11h-1が、メモリセル1e~1hのデータ保持用キャパシタに保持されたデータとサーチ線5a~5dにそれぞれ設定されたデータとの一致比較を行う一致比較部として機能する。図5とは、一致比較部を構成する直列接続された2つのトランジスタに対して、マッチ線3と接地レベルとの接続先が逆になるように構成されている点で異なる。

【0045】

メモリセル1e~1hの各データ保持用キャパシタは、ディジタル値「1」としてハイレベルにチャージされると、通常のダイナミック型のRAMのリフレッシュ挙動として、トランジスタ12e~12hの接合リークによってハイレベルの電荷が徐々に揮発する。さらに、これらのデータ保持用キャパシタは、トランジスタ10e-1~10h-1を介してマッチ線3へハイレベルの電荷がゲートリークすることとなる。

【0046】

ここで、上述したように、トランジスタ10e-1~10h-1のゲート絶縁膜厚を、トランジスタ12e~12hより薄くして、そのゲートリーク値が一般的な接合リーク値とほぼ等しくなるように構成する（例えば、2.5nm）。この構成でトランジスタ10e-1~10h-1のゲートリークを図7（a）中の矢印の方向に作用させてマッチ線3からの電荷で接合リークによって揮発した分を補うようにすれば、理想的にはメモリセル1e~1hのリフレッシュ時間が無限に有効になる。

【0047】

具体的な処理としては、図7（b）に示すように、検索データ設定部7がサーチ線をチャージして検索データを設定する時間t1より、チャージ処理部6がマッチ線3をプリチャージする時間t2を長くする。これにより、トランジスタ10e-1~10h-1のゲートリークが図7（a）中の矢印の方向に作用し、データ保持用キャパシタのリフレッシュ時間を長くすることができる。

【 0 0 4 8 】

例えば、図 8 に示すように、従来のダイナミック型の RAM では、WL で表すワード線 2 の活性化サイクルの間にメモリセルレベル①に相当するチャージ状態となる（リフレッシュ時間 $t_{REF①}$ ）。これに対して、本実施の形態 2 のような構成とすることで、メモリセルレベル②に相当するチャージ状態を得ることができ、 $t_{REF①}$ よりも長いリフレッシュ時間 $t_{REF②}$ となり格段にリフレッシュ特性を改善することができる。

【 0 0 4 9 】

なお、図 5 に示す構成で、トランジスタ 10e ~ 10h のゲート絶縁膜厚をトランジスタ 12e ~ 12h より薄くすると、WL で表すワード線 2 の活性化サイクルの間にメモリセルレベル③に相当するチャージ状態となり、リフレッシュ時間 $t_{REF③}$ は $t_{REF①}$ より短くなる。従って、従来のダイナミック型の RAM よりもリフレッシュ特性が悪化してしまう。

【 0 0 5 0 】

以上のように、この実施の形態 2 によれば、メモリセル 1e ~ 1h を、互いに交差して配置されたワード線 2 とビット線 4a ~ 4d により形成される格子状上に配置したトランジスタ 12e ~ 12h と、1 ビットのデジタル値を保持するデータ保持用キャパシタとからなるダイナミック型メモリセルとし、一致比較部を、トランジスタ 10e - 1 ~ 10h - 1 がデータ保持用キャパシタのチャージ状態に応じてマッチ線 3 との間の経路を開閉し、トランジスタ 11e - 1 ~ 11h - 1 がサーチ線 5a ~ 5d のチャージ状態に応じて接地レベルと間の経路を開閉するように構成し、トランジスタ 10e - 1 ~ 10h - 1 を、マッチ線 3 にチャージされた電荷がゲート電極を介してデータ保持用キャパシタにリークするようにトランジスタ 12e ~ 12h よりゲート絶縁膜厚を薄くし、トランジスタ 10e - 1 ~ 10h - 1 のゲート電極を介したマッチ線 3 からの電荷リークによってデータ保持用キャパシタが保持する電荷が補充されるように、サーチ線 5a ~ 5d をチャージする時間より長い時間でマッチ線 3 をチャージするように構成したので、上記実施の形態 1 による効果に加え、リフレッシュ特性を改善させたダイナミック型セル構成の CAM セルを得ることができる。

【0 0 5 1】

【発明の効果】

以上のように、この発明によれば、1ビットのデジタル値を記憶するL（L＝2のM乗となる整数）個のメモリセルからなり、各メモリセルが記憶するデジタル値の組み合わせをM（Mは2以上の正の整数）ビットのデジタル値で表現した記憶データが設定されるメモリセルブロックと、メモリセルが記憶するデジタル値と一致比較される1ビットのデジタル値が設定されるサーチ線と、L本のサーチ線に対して1ビットのデジタル値をそれぞれ設定して、Lビットのデジタル値の組み合わせをMビットのデジタル値で表現した検索データを設定する検索データ設定部と、メモリセルブロックを構成するメモリセルが記憶するデジタル値とこれらメモリセルに接続するサーチ線に設定されたデジタル値とを一致比較して、記憶データと検索データの一致不一致を判定する一致比較部と、一致比較部の判定結果を出力する出力部とを備えたので、検索動作においてサーチ線の活性化頻度を減少させることができることから、検索動作における消費電力を低減させることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置の構成を示す図である。

【図2】 図1中のCAMセルブロックの構成を示す図である。

【図3】 CAMセルブロックの記憶データと検索データとの組み合わせに対する検索結果を示す図である。

【図4】 実施の形態1の半導体記憶装置による検索動作のタイミングチャートである。

【図5】 CAMセルブロックの他の構成を示す図である。

【図6】 この発明の実施の形態2による半導体記憶装置のCAMセルブロックの構成を示す図である。

【図7】 図6中のCAMセルブロックを構成するメモリセルの挙動を説明する図である。

【図8】 マッチ線のプリチャージ後におけるメモリセルの挙動を示すタイ

ミングチャートである。

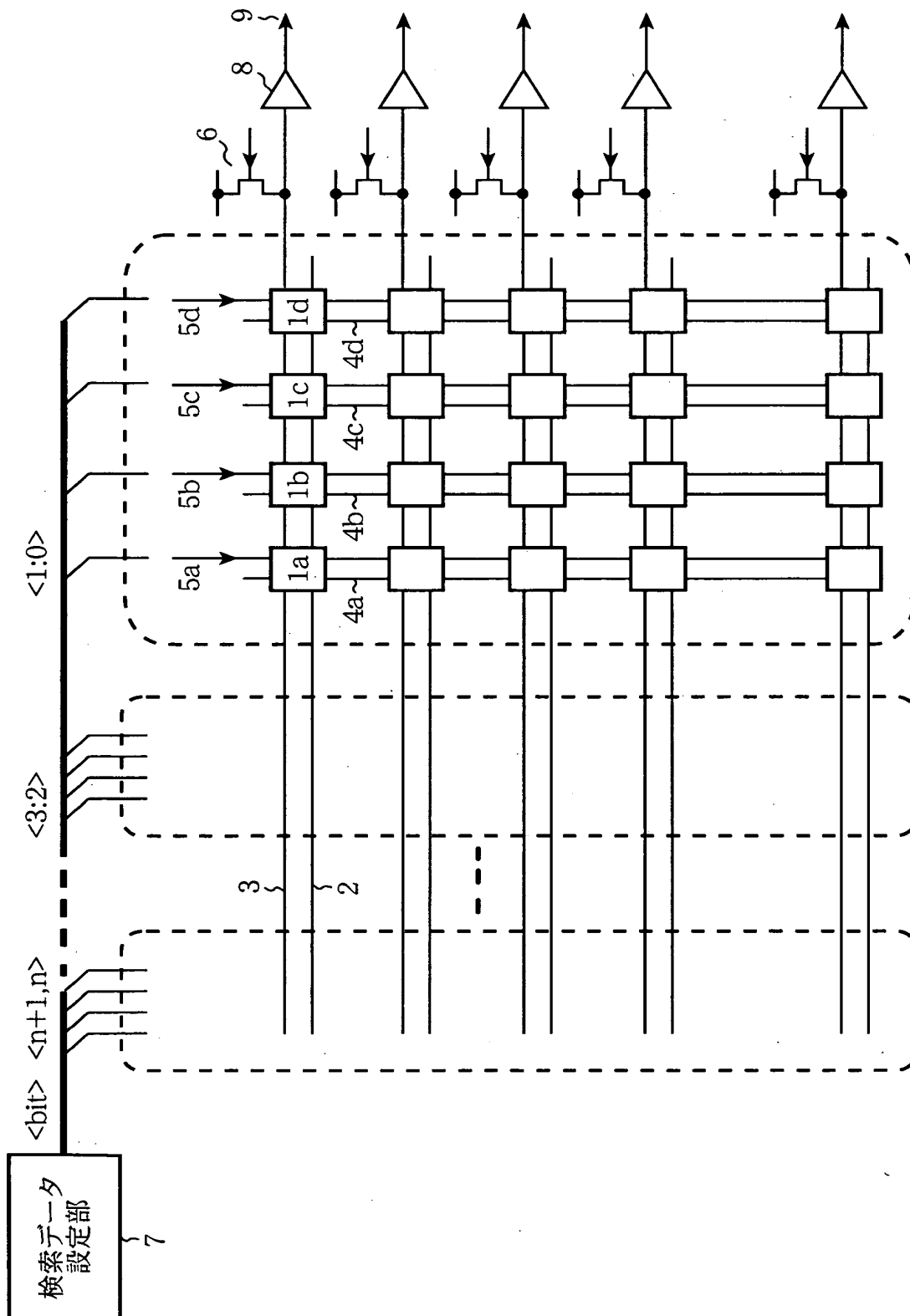
【図 9】 従来の T-CAM セルから構成される半導体記憶装置の検索動作のタイミングチャートである。

【符号の説明】

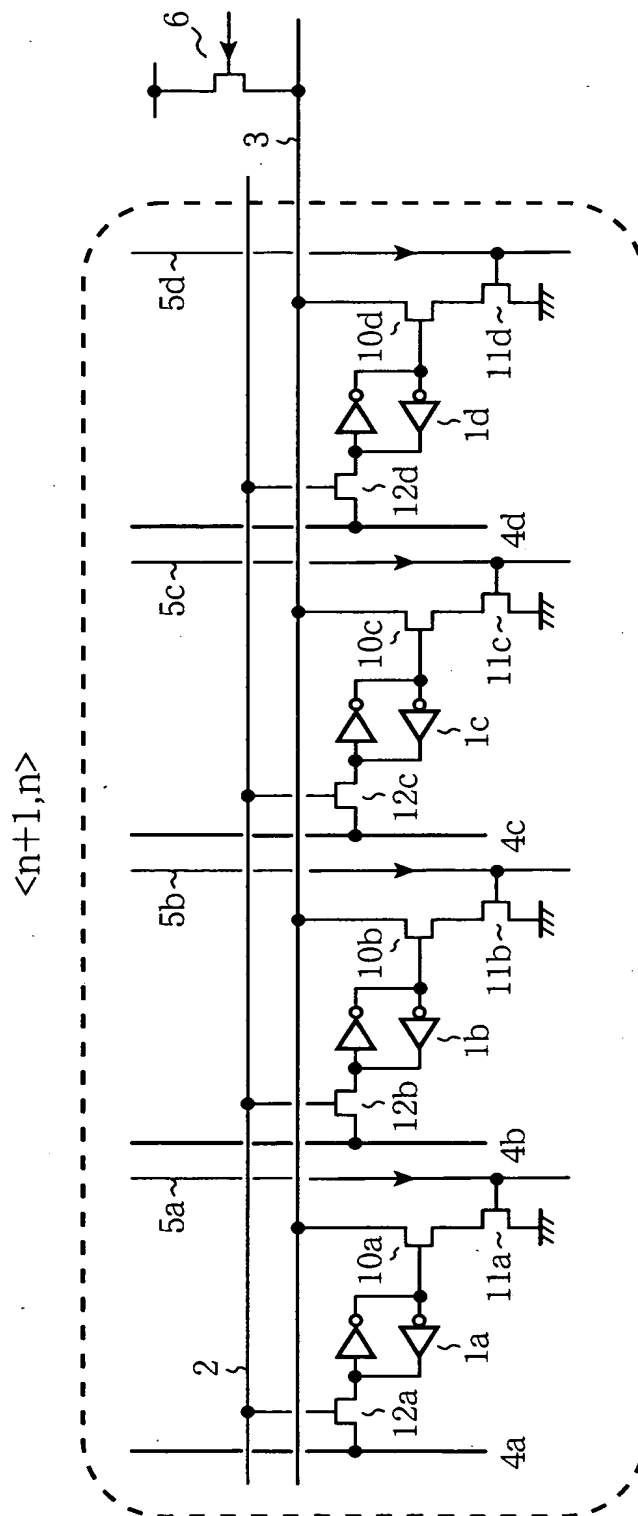
1 a ~ 1 d メモリセル、2 ワード線、3 マッチ線（出力部）、4 a ~ 4 d ビット線、5 a ~ 5 d サーチ線、6 トランジスタ（チャージ処理部）、7 検索データ設定部、8 アンプ、9 出力端、10 a ~ 10 d トランジスタ（一致比較部）、11 a ~ 11 d トランジスタ（一致比較部）、12 a ~ 12 d トランジスタ、10 e ~ 10 h トランジスタ（一致比較部）、11 e ~ 11 h トランジスタ（一致比較部）、12 e ~ 12 h トランジスタ、10 e - 1 ~ 10 h - 1 トランジスタ（第 1 の MOS トランジスタ、一致比較部）、11 e - 1 ~ 11 h - 1 トランジスタ（第 2 の MOS トランジスタ、一致比較部）、12 e - 1 ~ 12 h - 1 トランジスタ。

【書類名】 図面

【図 1】



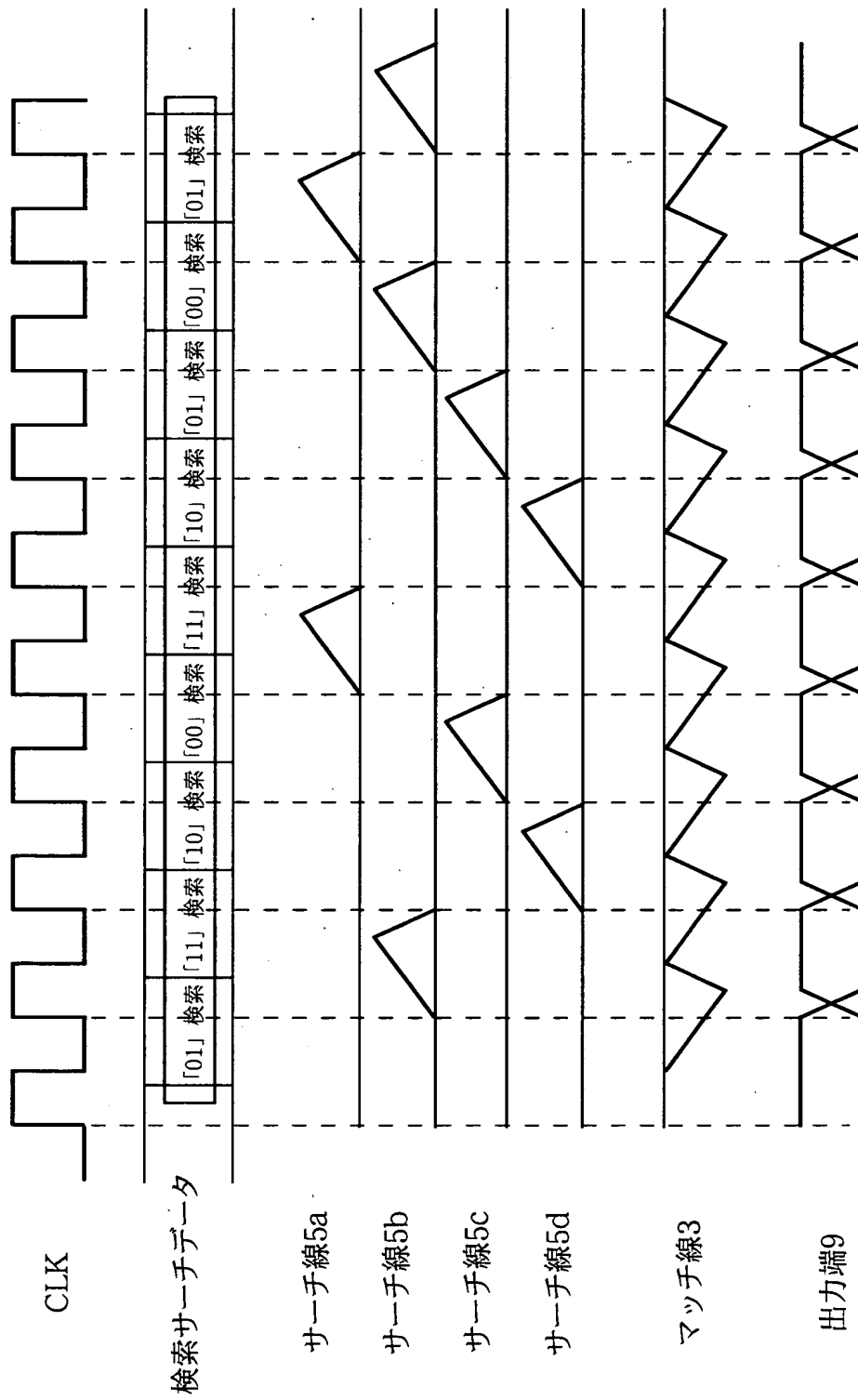
【図 2】



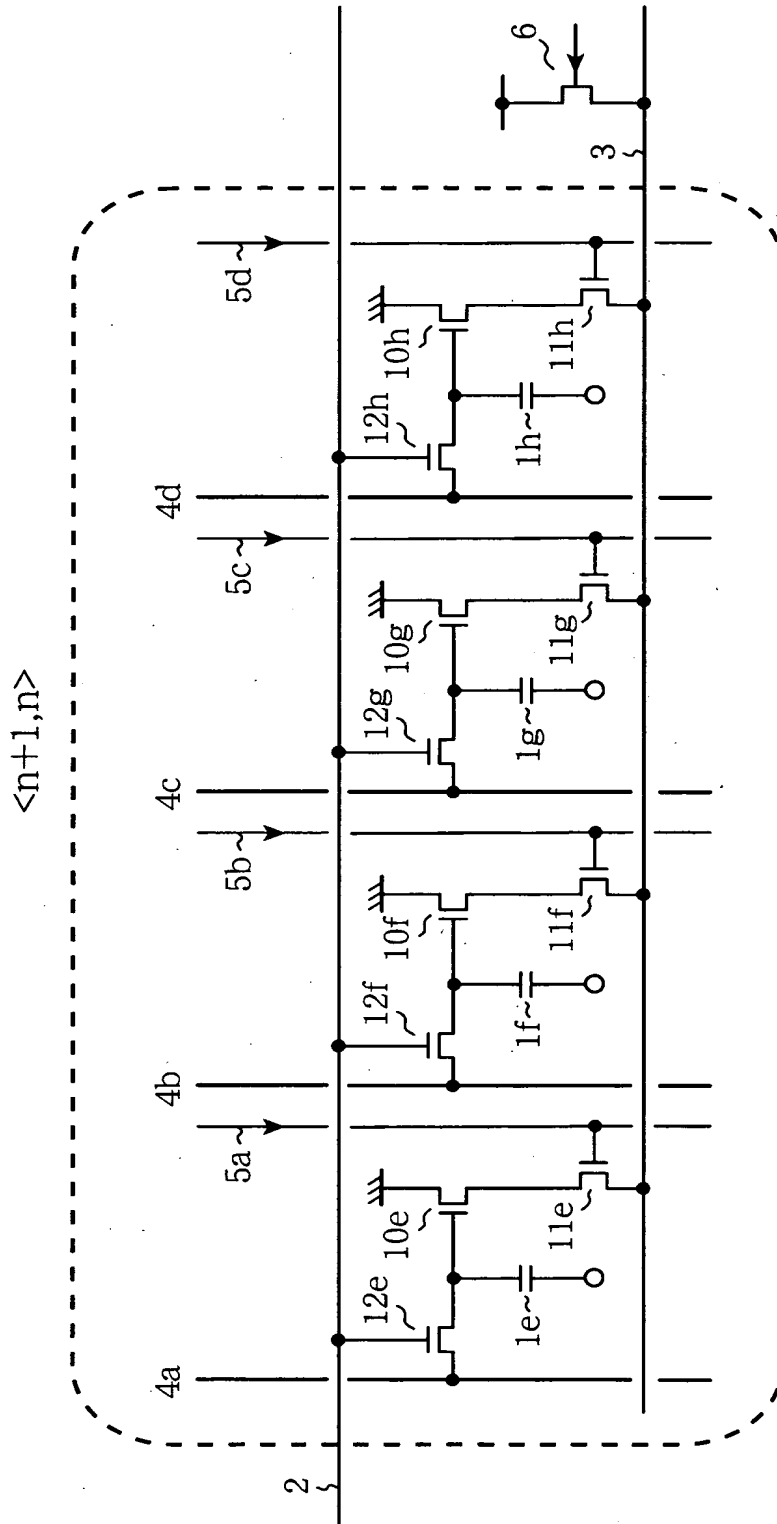
【図 3】

	「00」を検索 5a=1,5b=0,5c=0,5d=0	「01」を検索 5a=0,5b=1,5c=0,5d=0	「10」を検索 5a=0,5b=0,5c=1,5d=0	「11」を検索 5a=0,5b=0,5c=0,5d=1
「xx」を記憶保持 1a=0,1b=0,1c=0,1d=0				
「x0」を記憶保持 1a=0,1b=1,1c=0,1d=1		放電		放電
「x1」を記憶保持 1a=1,1b=0,1c=1,1d=0	放電		放電	
「0x」を記憶保持 1a=0,1b=0,1c=1,1d=1			放電	放電
「00」を記憶保持 1a=0,1b=1,1c=1,1d=1		放電	放電	放電
「01」を記憶保持 1a=1,1b=0,1c=1,1d=1	放電		放電	放電
「1x」を記憶保持 1a=1,1b=1,1c=0,1d=0	放電	放電		
「10」を記憶保持 1a=1,1b=1,1c=0,1d=1	放電	放電		放電
「11」を記憶保持 1a=1,1b=1,1c=1,1d=0	放電	放電	放電	

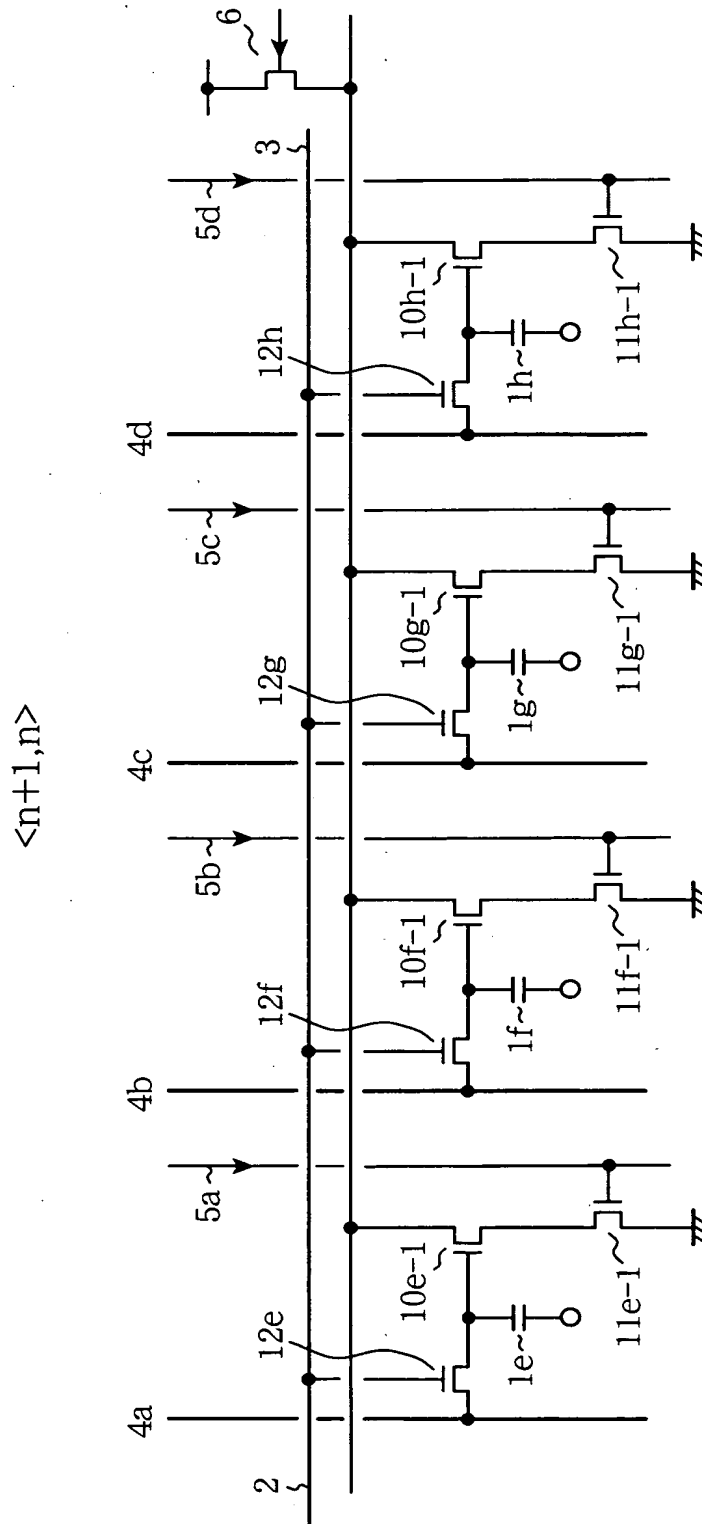
【図4】



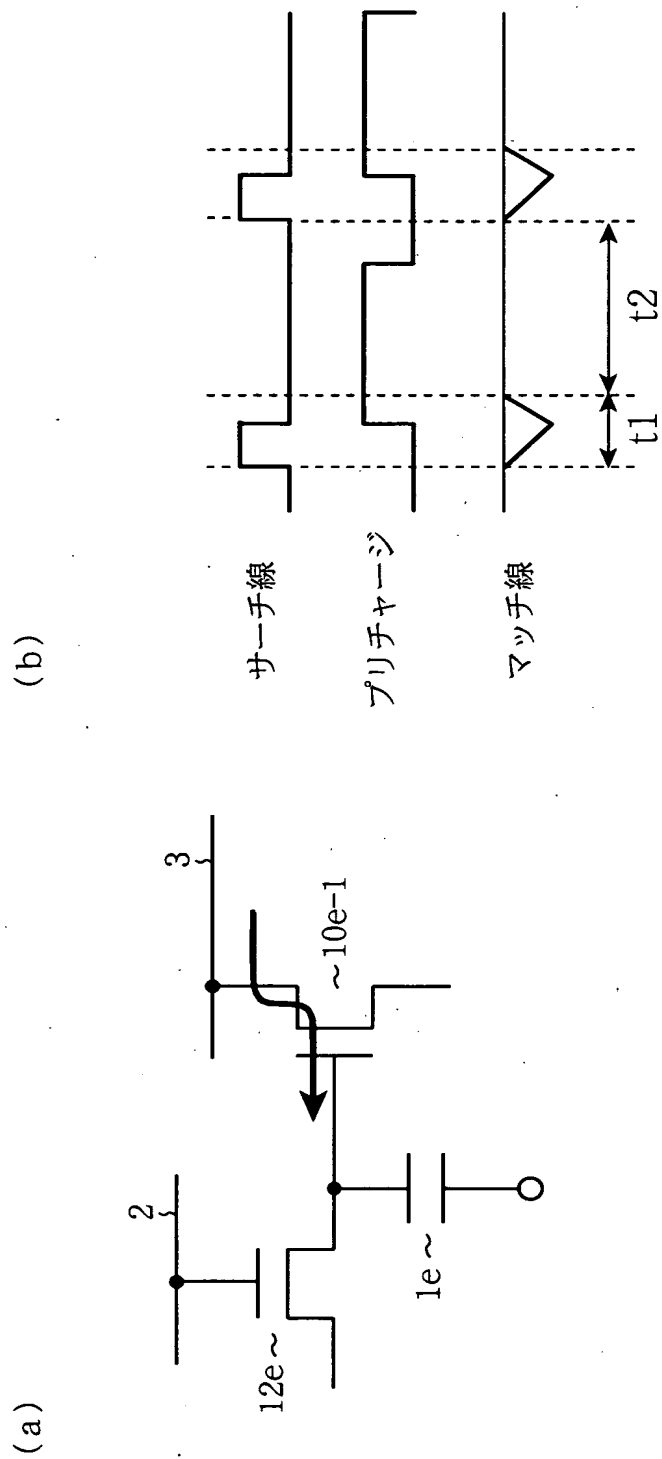
【図 5】



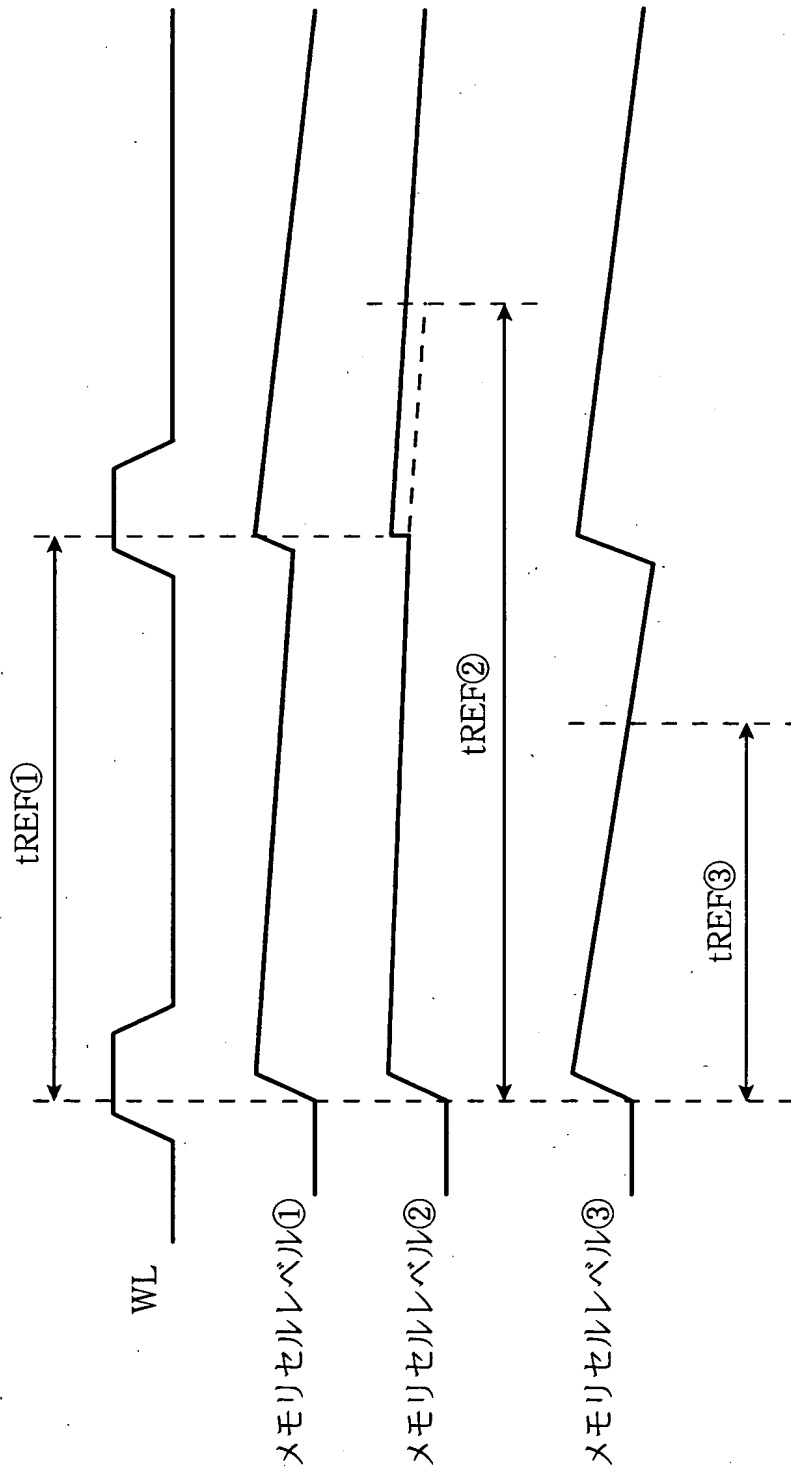
【図 6】



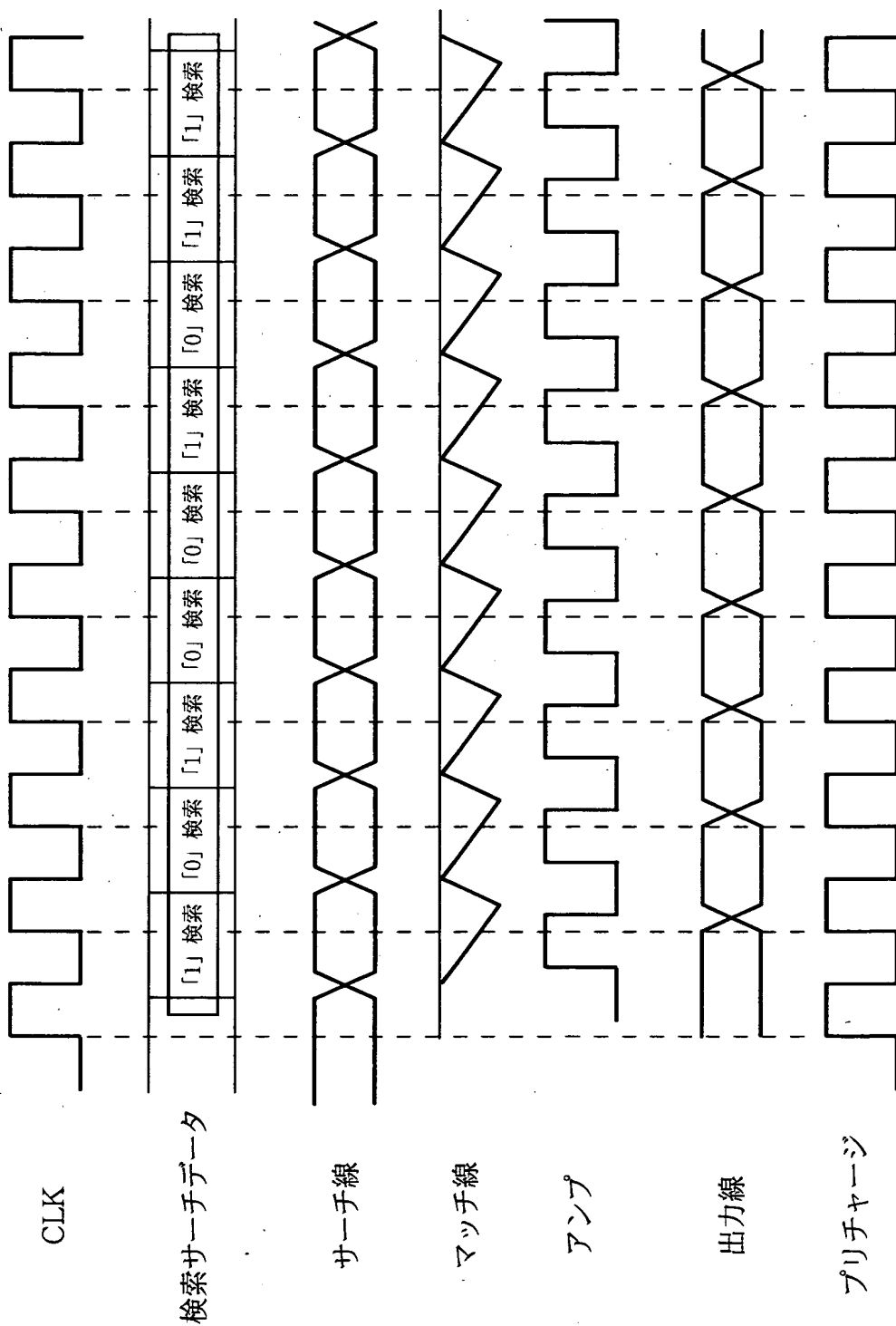
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 検索動作においてサーチ線の活性化頻度を減少させることで消費電力を低減することができる半導体記憶装置を提供する。

【解決手段】 4個のメモリセル1a～1dの各々が記憶するデジタル値の組み合わせを2ビットのデジタル値で表現した記憶データが設定されるCAMセルブロックと、メモリセル1a～1dが記憶するデジタル値と一致比較されるデジタル値が設定されるサーチ線5a～5dと、メモリセル1a～1dに接続するサーチ線5a～5dに対して1ビットのデジタル値をそれぞれ設定して、4ビットのデジタル値の組み合わせを2ビットのデジタル値で表現した検索データを設定する検索データ設定部7と、記憶データと検索データの一致不一致を判定するトランジスタ10a～10d, 11a～11dと、この判定結果を出力するマッチ線3とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社